

# VAPOR GROWTH METHOD, SEMICONDUCTOR PRODUCING METHOD, AND PRODUCTION METHOD FOR SEMICONDUCTOR DEVICE

Patent number: WO0250880  
Publication date: 2002-06-27  
Inventor: HIRATA TATSUSHIRO (JP); KOUMOTO TAKEYOSHI (JP); ATSUUMI KENJI (JP); NEGORO YOICHI (JP); NOGUCHI TAKASHI (JP); YAMAGATA HIDEO (JP)  
Applicant: HIRATA TATSUSHIRO (JP); KOUMOTO TAKEYOSHI (JP); ATSUUMI KENJI (JP); NEGORO YOICHI (JP); SONY CORP (JP); NOGUCHI TAKASHI (JP); YAMAGATA HIDEO (JP)  
Classification:  
- international: H01L21/205; H01L21/331; H01L29/73  
- european: H01L21/20B6B8, H01L21/205B2, H01L21/205B3, H01L21/331B, C30B25/02, H01L21/20B6B2, H01L21/205B  
Application number: WO2001JP11203 20011220  
Priority number(s): JP20000387419 20001220; JP20000390738 20001222; JP20010007666 20010116

Also published as:

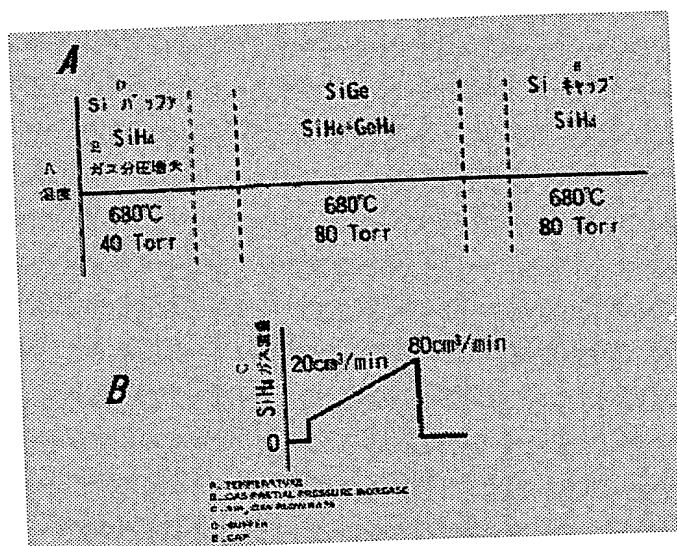
EP1345260 (A1)  
US2003134491 (A1)

Cited documents:

JP2001319935  
EP0484056  
JP2002026027  
JP4106980

## Abstract of WO0250880

A vapor growth method for forming by depositing a silicon-germanium mixed crystal layer on a semiconductor substrate, comprising the first step of introducing a silicon source gas into a reaction furnace so as to increase a silicon source material gas partial pressure in proportion to time elapsed and forming at a reduced pressure a first semiconductor layer by a silicon layer on the semiconductor substrate, the second step of introducing the silicon source gas and a germanium source gas so as to obtain a desired germanium concentration and forming at a reduced pressure a second semiconductor layer by a silicon-germanium mixed crystal layer on the first semiconductor layer, and the third step of introducing at a reduced pressure a silicon source gas and forming a third semiconductor layer by a silicon layer on the second semiconductor layer, whereby a semiconductor layer improved in misfit dislocation is obtained.



Data supplied from the [esp@cenet](mailto:esp@cenet) database - Worldwide

BEST AVAILABLE COPY

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2002 年 6 月 27 日 (27.06.2002)

PCT

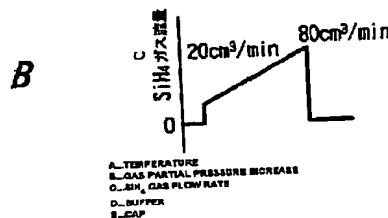
(10) 国際公開番号  
WO 02/50880 A1

- (51) 国際特許分類<sup>7</sup>: H01L 21/205, 21/331, 29/73
- (21) 国際出願番号: PCT/JP01/11203
- (22) 国際出願日: 2001 年 12 月 20 日 (20.12.2001)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2000-387419 2000 年 12 月 20 日 (20.12.2000) JP  
特願 2000-390738 2000 年 12 月 22 日 (22.12.2000) JP  
特願 2001-007666 2001 年 1 月 16 日 (16.01.2001) JP
- (71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川 6 丁目 7 番 3 5 号 Tokyo (JP).
- (72) 発明者; および  
(75) 発明者/出願人 (米国についてのみ): 山縣 秀夫 (YAMAGATA, Hideo) [JP/JP]; 〒141-0001 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内 Tokyo (JP). 河本 健芳 (KOHMOTO, Takeyoshi) [JP/JP]; 〒141-0001 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内 Tokyo (JP). 厚海 憲二 (ATSUMI, Kenji) [JP/JP]; 〒141-0001 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内 Tokyo (JP). 根来 陽一 (NEGORO, Yoichi) [JP/JP]; 〒141-0001 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内 Tokyo (JP). 平田 達司郎 (HIRATA, Tatsushiro) [JP/JP]; 〒141-0001 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内 Tokyo (JP). 野口 隆 (NOGUCHI, Takashi) [JP/JP]; 〒141-0001 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内 Tokyo (JP).
- [続葉有]

(54) Title: VAPOR GROWTH METHOD, SEMICONDUCTOR PRODUCING METHOD, AND PRODUCTION METHOD FOR SEMICONDUCTOR DEVICE

(54) 発明の名称: 気相成長方法、半導体製造方法、及び半導体装置の製造方法

A	温度	Si 源ガス	SiH <sub>4</sub>	ガス分圧増大	SiGe	SiH <sub>4</sub> +GeH <sub>4</sub>	Si キャップ <sup>E</sup>	SiH <sub>4</sub>
	680°C			40 Torr	680°C	80 Torr	680°C	80 Torr



(57) Abstract: A vapor growth method for forming by depositing a silicon-germanium mixed crystal layer on a semiconductor substrate, comprising the first step of introducing a silicon source gas into a reaction furnace so as to increase a silicon source material gas partial pressure in proportion to time elapsed and forming a first semiconductor layer by a silicon layer on the semiconductor substrate, the second step of introducing the silicon source gas and a germanium source gas so as to obtain a desired germanium concentration and forming at a reduced pressure a second semiconductor layer by a silicon-germanium mixed crystal layer on the first semiconductor layer, and the third step of introducing at a reduced pressure a silicon source gas and forming a third semiconductor layer by a silicon layer on the second semiconductor layer, whereby a semiconductor layer improved in misfit dislocation is obtained.

[続葉有]

WO 02/50880 A1



(74) 代理人: 松隈 秀盛 (MATSUKUMA, Hidemori); 〒160-0023 東京都新宿区西新宿1丁目8番1号新宿ビル Tokyo (JP).

添付公開書類:  
— 国際調査報告書

(81) 指定国 (国内): JP, KR, US.

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

半導体基板上に、シリコン-ゲルマニウム混晶層を堆積形成する気相成長方法にあって、シリコン原料ガス分圧が時間に比例して増大するようにシリコン原料ガスを反応炉内に導入して減圧下で前記半導体基板上にシリコン層による第1の半導体層を形成する第1のステップと、シリコン原料ガスとゲルマニウム原料ガスを所望のゲルマニウム濃度となるように導入して減圧下で前記第1の半導体層上にシリコン-ゲルマニウム混晶層による第2の半導体層を形成する第2のステップと、減圧下でシリコン原料ガスを導入して前記第2の半導体層上にシリコン層による第3の半導体層を形成する第3のステップとを採ることによってミスフィット転位の改善が図られた半導体層を得ることができるようにする。

## 明 細 書

気相成長方法、半導体製造方法、及び半導体装置の製造方法  
技術分野

5 本発明は、シリコンとゲルマニウムの混晶層を形成する気相成長方法、シリコンとゲルマニウムの混晶層の半導体製造方法、及びシリコンとゲルマニウムの混晶層を有する例えばヘテロ接合バイポーラトランジスタ等を具備する半導体装置の製造方法に関する。

## 背景技術

10 近年、情報、サービス、エンターテインメント、通信等の技術が融合したマルチメディア時代の到来に伴い、大容量データ高速伝送の必要性が高まり、バイポーラトランジスタについても、更なる高性能化が要求されている。

15 例えば、バイポーラトランジスタの高速化を図るためには、高濃度でかつ薄いベース層の形成が不可欠である。

しかし、従来のイオン注入技術を用いたベース層の形成では、注入不純物のチャネリングのため、40 nm以下のベース幅を実現することは困難であった。

20 そこで、この問題の解決策として、シリコン (Si) 基板上にシリコン-ゲルマニウム ( $\text{Si}_{1-x}\text{Ge}_x$  (以下SiGeという)) の混晶層をエピタキシャル成長させる技術を応用したヘテロ接合バイポーラトランジスタ (Hetero Bipolar Transistor (以下HBTという)) が注目されている。

25 また、バイポーラトランジスタにおいて、ベースの浅接合化は、ベース不純物濃度の増大を招き、エミッタへの正孔の注入が問題となる。

しかし、上述したSiGeHBTでは、ベース領域にシリコン

に比べてバンドギャップの狭い SiGe を用いることから、エミッターベース間に電位障壁が生じるので、正孔のエミッターへの注入が大幅に減少する。

5 従って、ベースを高キャリア濃度にしてベース抵抗の低減ができ、更に十分大きい電流増幅率 ( $h_{FE}$ ) が得られる。この結果、十分な耐圧を確保しながら優れた高周波特性を実現することができる。

10 また、ゲルマニウムのプロファイルに傾斜をつけることにより、キャリアのベース走行時間 ( $\tau_B$ ) を短縮し、優れた高周波特性をもつ高速バイポーラトランジスタを実現することができる。

しかしながら、SiGe 混晶層は、シリコンとゲルマニウムの格子定数、及び熱膨張係数が異なることから、応力が発生し、ミスフィット転移とよばれる結晶欠陥が発生するという問題が起きる。

15 このミスフィット転位は、ゲルマニウム濃度に強く依存する。このためゲルマニウム濃度を少なくすれば、結晶欠陥の発生を制御することが可能であるが、この場合、バンドギャップを狭める効果が少なくなることから、上述したような目的とするバイポーラトランジスタの性能が得られなくなる。

20 また、SiGe HBT の製造においては、LOCOS (Local Oxidation: 局部シリコン酸化) 法によって形成された分離用酸化シリコン層によって分離された活性領域に SiGe 混晶層をエピタキシャル成長させ、同時にその分離用酸化シリコン層上に多結晶の SiGe 混晶を形成する場合がある。

25 この場合、シリコンとゲルマニウムとの物性の違いに加えて、LOCOS による応力や、酸化シリコン層とシリコン及びゲルマニウムとの熱膨張係数の違いによる応力も発生するためミスフィット転位が起こり易い。

図13は、SiGeHBTのSiGe混晶層が形成された半導体装置の要部の断面図を示すもので、この場合、単結晶シリコン半導体基板21の表面には、その活性領域の分断、あるいは他の素子との分離を行うLOCOSによる分離用酸化シリコン層1が形成され、この上にCVD (Chemical Vapor Deposition) 技術により形成された堆積酸化シリコン層2と、SiGe混晶層を有する半導体層60が、低温エピタキシャル技術によって成膜された状態を示している。

半導体層60は、シリコンバッファ層61、SiGe混晶層62、シリコンキャップ層63による3層構造の積層構造を有する。

シリコンバッファ層61は、例えばベースの活性領域を開口した際に発生するN<sup>-</sup>エピタキシャル層表面の微小な凹凸を平滑化することを目的に成膜されるシリコンエピタキシャル層と、半導体基板の活性領域の分離、すなわち活性領域の分断ないしは他の半導体素子との分離を行う分離用酸化シリコン層1上に多結晶SiGe層を形成する際のシード (seed) となる層を形成することを目的に成膜される多結晶シリコン層から成る。

このシリコンバッファ層61に成膜されたSiGe混晶層62は、半導体基板21の単結晶シリコン上においてはSiGeエピタキシャル層として、また分離用酸化シリコン層1上においては多結晶シリコン層として成膜される。

半導体層60は、バイポーラトランジスタにおけるベースを構成し、その分離用酸化シリコン層1上に延在する部分は、ベース電極導出領域として用いられる。

この半導体層60は、例えば減圧化学気相成長法 (RPCVD : Reduced Pressure Chemical Vapor Deposition) によって成膜される。この気

相成長方法による成膜は、成膜装置の反応炉に水素ガスを導入しながら約 900℃まで半導体基板を加熱し、約 5 分間の水素ベークを行った後、水素ガスを導入したままで約 710℃～660℃の温度まで降温し、成膜のための原料ガスであるモノシラン (SiH<sub>4</sub>) ガス、ゲルマン (GeH<sub>4</sub>) ガス、及び不純物ガスとしてジボラン (B<sub>2</sub>H<sub>6</sub>) ガスを供給してエピタキシャル成長させて行われる。

気相成長方法による従来の成膜手順を図 14 のタイムチャートによって説明する。

先ず、図 14 A に示すように、第 1 に反応炉内の温度約 710℃、圧力約 10,666 Pa (80 Torr) にて、一定のモノシラン分圧の 26.7 Pa (0.2 Torr) とするように、反応炉内にモノシランガスを供給してシリコンエピタキシャル膜を約 15 nm の厚さに形成する。

このとき、バッファ層 61 は、分離用酸化シリコン層 1 上においては多結晶シリコン層として同時に形成される。

このようにして、シリコンバッファ層 61 を形成した後、反応炉内の温度を約 660℃に降温し、モノシランガスとゲルマンガスを所望のゲルマニウム濃度及び所望の膜厚となるようガス流量を制御して反応炉内に供給する。この際に、所望のボロンのプロファイルとなるようにジボランガス流量を制御して反応炉内に供給する。ここで、SiGe の混晶層 62 が形成される。

続いて、反応炉内の温度を約 680℃、圧力約 13,332 Pa (100 Torr) にして反応炉内にモノシラン及びジボランガスを供給し、シリコンキャップ層 63 となるボロンドープのシリコンエピタキシャル層を所望の膜厚となるように成膜を行う。

図 15 は、このように、半導体基板 21 の単結晶シリコン上から酸化シリコン上に差し渡って半導体層 60 が積層された部分の

断面における各部の熱膨張係数の差に基く剪断応力の大きさを濃淡で示したもので、これより明らかなように、酸化シリコン上の半導体層 60 の形成部に、実線 a で囲んで示した領域に集中している。

5       本発明は、このような SiGe 混晶層を有する半導体層の気相成長方法において発生するミスフィット転位の問題の解決を図り、良好な結晶品質の SiGe エピタキシャル混晶を得ることができる気相成長法、半導体製造方法及び半導体装置の製造方法を提供する。

10       また、本発明は、例えばバイポーラトランジスタを有する半導体装置の製造方法において、そのベースとしてシリコン-ゲルマニウムのエピタキシャル混晶層を用いる場合に、上述したミスフィット転位による歩留り低下を抑制できる半導体装置の製造方法を提供する。

15       発明の開示

本発明による第 1 の気相成長方法は、半導体基板上に、シリコン-ゲルマニウム混晶層を形成する気相成長方法において、第 1 ～第 3 のステップが採られる。

20       まず、第 1 のステップで、シリコン原料ガス分圧が時間に比例して増大するようにシリコン原料ガスを反応炉内に導入して減圧下で、半導体基板上に第 1 の半導体層のシリコンバッファ層を形成する。

25       続いて、第 2 のステップで、シリコン原料ガス及びゲルマニウム原料ガスを所望のゲルマニウム濃度となるように導入して減圧下で第 1 の半導体層上にシリコン-ゲルマニウム (SiGe) 混晶層による第 2 の半導体層を形成する。

更に、続いて、第 3 のステップで、減圧下でシリコン原料ガスを導入してシリコン混晶層による第 2 の半導体層上に第 3 の半導



体層のシリコンキャップ層を形成する。

この本発明による気相成長方法においては、第1のステップでシリコン原料ガスのガス分圧を一定の変化率で増大させてシリコンパッファ層を成膜することにより、シリコン-ゲルマニウム混晶層形成後のミスフィット転位の発生が抑制され、結晶品質に優れたシリコン-ゲルマニウム混晶層を形成することができるものである。特に、単結晶シリコン基板表面に露出した活性領域及びこの活性領域を分離している分離用酸化シリコンに対するシリコン-ゲルマニウム混晶層の形成部において、この分離用酸化シリコン層上に、シリコンパッファ層として形成する多結晶シリコンのシードの粒径が小さくなる。これにより単結晶シリコン基板表面にシリコンパッファ層として形成されるシリコンエピタキシャル層との界面付近の結晶性が改善され、ミスフィット転位発生の大幅な改善がなされる。

また、本発明による第2の気相成長方法は、単結晶シリコン基板による半導体基板上に、単結晶シリコン基板表面に露出している活性領域上と、この活性領域を分離する分離用酸化シリコン層上とに渡ってシリコン-ゲルマニウム混晶層を有する半導体層を堆積形成する気相成長工程で、この半導体層を活性領域上においてはエピタキシャル層として、分離用酸化シリコン層上においては多結晶層として形成する気相成長方法にあって、その気相成長工程が、第1、第2及び第3のステップによってそれぞれ第1、第2及び第3の半導体層を積層成膜する。

すなわち、第1のステップで、シリコンとゲルマニウムの原料ガスを反応炉内に導入して、単結晶シリコン基板表面が露出している活性領域にシリコン-ゲルマニウムのエピタキシャル層を形成すると同時に、分離用酸化シリコン層上に多結晶シリコン-ゲルマニウム層を形成して第1の半導体層を成膜する。この第1の

ステップの成膜において、第 1 の半導体層に、酸化シリコンと同じ熱膨張係数となるゲルマニウム濃度による多結晶シリコンーゲルマニウム混晶の層を形成する。

次に、第 2 のステップで、シリコン原料ガスとゲルマニウム原料ガスを反応炉内に導入して、活性領域上のシリコンーゲルマニウムのエピタキシャル層上にシリコンーゲルマニウムのエピタキシャル層を形成すると同時に、分離用酸化シリコン層上の多結晶シリコン上に多結晶シリコンーゲルマニウム層を形成して、第 2 の半導体層を成膜する。

続く第 3 のステップで、シリコン原料ガスのみを反応炉内に導入して、シリコンーゲルマニウムのエピタキシャル層が露出している活性領域にシリコンのエピタキシャル層を形成すると同時に、分離用酸化シリコン層上の多結晶シリコン上に多結晶シリコン層を形成する第 3 の半導体層を成膜する。

この本発明の第 2 の気相成長方法においては、第 1 のステップでシリコンとゲルマニウムの原料ガスを反応炉内に導入して、単結晶シリコン基板表面が露出している活性領域にシリコンーゲルマニウム層を形成すると同時に、分離用酸化シリコン層上に多結晶シリコンーゲルマニウム層を形成するものであって、この第 1 のステップで、分離用酸化シリコン層と同じ膨張係数となるゲルマニウム濃度のシリコンーゲルマニウムのエピタキシャル層を形成することから、SiGe 混晶層の気相成長方法において発生するミスフィット転位の問題が解決される。従って、良好な結晶品質の SiGe エピタキシャル混晶層を得ることができるものである。

また、本発明による半導体製造方法においては、単結晶シリコン基板による半導体基板上にシリコンーゲルマニウム混晶層を気相成長によって堆積する半導体製造方法にあって、その単結晶シ

リコン基板表面が露出している活性領域にシリコン-ゲルマニウムのエピタキシャル混晶層を形成し、同時に単結晶シリコン基板に形成した分離用酸化シリコン層上に多結晶シリコン-ゲルマニウム混晶層を形成する気相成長工程を有するものであり、その気相成長工程が、前述した各本発明による第1及び第2の気相成長方法によるものである。

更に、本発明による半導体装置の製造方法においては、半導体基板上のベース領域にシリコン-ゲルマニウム混晶層を有する半導体装置の製造方法にあって、そのシリコン-ゲルマニウム混晶層の形成工程が上述した各本発明による第1及び第2の気相成長方法によるものである。

そして、これら半導体製造方法及び半導体装置の製造方法によれば、上述したように、本発明によるミスフィット転位が改善された本発明による気相成長方法が用いられることによって、目的とする半導体及び半導体装置を高い歩留りをもって製造することができるものである。

#### 図面の簡単な説明

図1は、本発明による気相成長方法及び半導体製造方法を適用する半導体装置の要部の概略断面図であり、図2は、本発明による半導体装置の製造方法を適用する半導体装置の概略断面図であり、図3Aは、本発明による気相成長方法の一例の成膜手順を示すタイムチャート、Bはガス流量の説明図であり、図4A及びBは、本発明及び従来の気相成長方法による場合多結晶シードを示す模式図であり、図5は本発明方法による半導体層の深さ方向の不純物濃度及びGeの濃度分布を示す図であり、図6は本発明方法による場合と、従来方法による場合のミスフィット転位発生量と、耐圧歩留りを示す図であり、図7Aは、本発明による気相成長方法の一例の成膜手順を示すタイムチャート、Bは半導体層の

深さ方向の Ge 濃度の分布を示す図であり、図 8 は、応力の説明に供する半導体層の成膜部の断面図であり、図 9 A 及び B は、本発明及び従来の応力を示す図であり、図 10 は本発明方法による半導体層の深さ方向の不純物濃度及び Ge の濃度分布を示す図であり、図 11 は従来方法の半導体層の深さ方向の不純物濃度及び Ge の濃度分布を示す図であり、図 12 A 及び B は、各材料の熱膨張係数を示す図であり、図 13 は、従来方法の説明に供する半導体層の断面図であり、図 14 A は、従来方法による気相成長方法の成膜手順を示すタイムチャート、B はガス流量の説明図であり、図 15 は、剪断応力の集中を示す図であり、図 16 A 及び B は、従来方法による気相成長方法の成膜手順を示すタイムチャート、及び Ge 濃度分布を示す図である。

#### 発明を実施するための最良の形態

本発明による気相成長方法と、これによる半導体製造方法及び半導体装置の製造方法の実施形態を例示説明する。

図 1 は、本発明による気相成長方法及び半導体製造方法を適用する NPN 型の HBT の一例のベース領域を構成する半導体層が形成された状態の要部の概略断面図を示し、図 2 は、本発明による半導体装置の製造方法を適用する NPN 型の HBT の一例の概略断面図を示す。しかしながら、本発明方法は、この例に限定されるものではなく、PNP 型構成をはじめとして、種々の構造に適用できるものである。

この構成においては、P 型の単結晶シリコンサブストレイト 11 の一主面上に、HBT のコレクタ動作領域 4 を構成する低不純物濃度の N 型のエピタキシャル半導体層 12 が成膜された単結晶シリコンによる半導体基板 21 を有する。

半導体基板 21 のサブストレイト 11 には、エピタキシャル半導体層 12 の成膜に先立って、例えば Sb、O<sub>2</sub> による固体ソー

ス拡散によってN型の不純物が、サブストレイト11の限定された領域に導入されて高不純物濃度のN型のコレクタ埋込み領域13が形成される。

5 半導体基板21の表面、すなわちエピタキシャル半導体層12の表面には、半導体基板21の活性領域、この例ではHBTの動作部を構成する領域を他部と分離する分離用酸化シリコン層1が、LOCOSによって形成される。

10 この分離用酸化シリコン層1には、コレクタ埋込み領域13の一部上に位置して開口部1Wが形成されている。この開口部1W下には、N型の高不純物濃度のコレクタ電極取出し領域4Cがイオン注入等によって形成される。

15 半導体基板21上には全面的に原料ガスとして例えばテトラエトキシシラン(TEOS)を用いたCVD技術によって堆積酸化シリコン層2を成膜し、熱処理を行って、この堆積酸化シリコン層2の緻密化がなされる。

この堆積酸化シリコン層2の、コレクタ動作領域4上に限定的に開口部2Wを、フォトリソグラフィ技術とRIE(Reactive Ion Etching)や、ウェットエッチングによって開口する。

20 次に、この開口部2Wを通じて露呈した半導体基板表面に付着している有機物等を除去する。この除去は、例えば所定の温度に加熱した硫酸と、過酸化水素水との混合液を用いた洗浄による。

25 次に、半導体基板21表面の、塵埃いわゆるパーティクルを除去する。このパーティクルの除去は、例えば所定の温度に加熱したアンモニアと過酸化水素水との混合液を用いて洗浄する。

更に、半導体基板の金属汚染物及び自然酸化膜を除去する。この除去は、希フッ酸水素液を用いて洗浄する。なお、この希フッ酸水素液による洗浄では、水素パッシベーション処理も行って、

エピタキシャル層 1 2 の露出面の表面のダングリングボンドに対する水素によるターミネート処理を行う。

5       このような洗浄処理がなされた半導体基板 2 1 上に、上述した開口 2 W を通じて露出した単結晶シリコン基板上から、分離用酸化シリコン層上あるいはその上の堆積シリコン層 2 上に差し渡って Si Ge 混晶層を有する半導体層 3 を、本発明による気相成長方法によって成膜する。

〔第 1 の気相成長方法及び半導体製造方法〕

10       この場合、第 1 のステップとして、シリコン原料ガス分圧が時間に比例して増大するようにシリコン原料ガスを、気相反応炉内に導入して減圧下で、半導体基板上にシリコンバッファ層の第 1 の半導体層 3 1 を形成する。

15       続いて、第 2 のステップとして、シリコン原料ガス及びゲルマニウム原料ガスを所望のゲルマニウム濃度となるように導入して減圧下で、第 1 の半導体層 3 1 上に Si Ge 混晶層による第 2 の半導体層 3 2 を形成する。

      更に、第 3 のステップとして、減圧下でシリコン原料ガスを導入して第 2 の半導体層 3 2 の Si Ge 混晶層上に、第 3 の半導体層 3 3 のシリコンキャップ層を形成する。

20       このようにして、第 1、第 2 及び第 3 の半導体層 3 1、3 2 及び 3 3 による積層半導体層 3 を形成する。

      上述した気相成長方法における第 1 のステップは、その成膜開始時においては、シリコン原料ガス分圧を、1. 3 3 ~ 8 Pa の範囲内とし、成膜終了時のシリコン原料ガス分圧を、5. 3 3 ~ 3 2 Pa の範囲内とすることが望まれる。

25       このようにして成膜した積層半導体層 3、すなわち、第 1、第 2 及び第 3 の半導体層 3 1、3 2 及び 3 3 は、半導体基板 2 1 の単結晶シリコン表面に露出する活性領域上においてはエピタキシ

ナル層領域すなわち単結晶半導体層領域 S A として成膜され、分離用酸化シリコン層上あるいは堆積酸化シリコン層 2 上に差し渡る領域においては、多結晶半導体層領域 P A として成膜される。

また、上述のシリコン原料ガスは、モノシランガスを用いることができ、ゲルマニウム原料ガスは、ゲルマンガスを用いることができる。

また、この S i G e 混晶層を有する積層半導体層 3 の形成は、600℃～750℃の範囲の温度で行う。

そして、第 2 及び第 3 のステップでは、P 型あるいは N 型、図 1 の N P N 型の H B T においては、P 型の不純物を導入する。

この本発明による第 1 の気相成長方法及び半導体製造方法の一例を更に詳細に説明する。

〔第 1 の気相成長方法及び半導体製造方法の例〕

この場合、上述した有機物、パーティクルの除去及び自然酸化膜の除去等の処理がなされた半導体基板 1 を、真空排気機能を有するロードロックに搬入し、所定時間に渡って真空排気を行う。続いて、ロードロックに接続されている反応炉に半導体基板を、大気に曝すことなく搬入する。

この反応炉に水素ガスを導入しながら、約 900℃まで加熱して、約 5 分間の水素ベークを行う。

その後、反応炉に水素ガスを導入したままで、約 680℃の温度まで降温する。

その後、図 3 A に成膜手順のタイムチャートを示すように、第 1 のステップとして、反応炉内の温度を 680℃に維持して、圧力を約 5, 333 Pa (40 Torr) とし、水素ガス流量を 20, 000 cm<sup>3</sup>/min に保持したまま、シリコン原料ガスとしてのモノシラン (S i H<sub>4</sub>) の導入を開始し、図 3 B に示すように、モノシランの流量を 20 cm<sup>3</sup>/min から徐々に 80 c

$m^3 / min$ まで増加させて行く。この時のモノシラン分圧は、導入開始時が  $5.33 Pa$  ( $0.04 Torr$ )、成膜終了時が  $21.3 Pa$  ( $0.16 Torr$ ) であり、その間約 76 秒かけて一定の割合で上昇させていく。このようにして、厚さ約 15 nm の第 1 の半導体層 31 すなわちシリコンバッファ層を形成する。

次に、第 2 のステップとして、反応炉内の温度を約  $680^\circ C$  としたままで、反応炉内の圧力を約  $10,666 Pa$  ( $80 Torr$ ) とし、シリコン原料ガスとしてのモノシラン ( $SiH_4$ ) とゲルマニウム原料ガスとしてのゲルマン ( $GeH_4$ ) とを所望のゲルマニウム濃度及び所望の膜厚となるようにガス流量制御して反応炉に供給する。

このとき、所望の P 型不純物濃度プロファイルとなるように、この不純物ボロン原料ガスのジボランガスを流量制御して反応炉内に供給し、例えば P 型の  $SiGe$  混晶による第 2 の半導体層 32 を成膜する。

続いて第 3 のステップとして、反応炉内の温度を約  $680^\circ C$  とし、炉内圧力を約  $10,666 Pa$  ( $80 Torr$ ) に保持したままで、反応炉内にモノシランガス及びジボランガスを供給して第 3 の半導体層 33 のシリコンキャップ層を成膜する。

このようにして、第 1、第 2 及び第 3 の半導体層 31、32 及び 33 が積層されて成る積層半導体層 3 が形成される。

この第 1 の本発明による気相成長方法の特徴を、従来方法と対比して説明する。本発明方法においては、第 1 のステップにおける第 1 の半導体層 31、すなわちシリコンバッファ層の成膜方法に特徴を有するものである。

すなわち、従来の成膜方法による場合、図 14B に示すように、反応炉内に供給するシリコン原料ガス例えばモノシラン ( $Si$



H<sub>4</sub>) の流量を一定にして、シリコン原料ガス分圧を一定の条件下でシリコンバッファ層の成膜を行うものである。

これに対して上述の本発明方法では、シリコン原料ガス流量を一定の割合で増加させて、シリコン原料ガス分圧上昇率一定の条件で、シリコンバッファ層の第 1 の半導体層 3 1 の成膜を行う。  
このとき、モノシランガス分圧を、好ましくは 1. 3 3 P a ( 0 . 0 1 T o r r ) ~ 8 P a ( 0 . 0 6 T o r r ) とした状態から開始し、一定の割合でこの分圧を増加させる。そして、増大させて成膜終了時のモノシランガス分圧は、好ましくは 5. 3 3 P a ( 0 . 0 4 T o r r ) ~ 3 2 P a ( 0 . 2 4 T o r r ) の範囲内とする。また、反応炉内の温度は、6 0 0 ° C ~ 7 5 0 ° C の範囲内で選択可能である。

このような条件下で第 1 の半導体層を成膜する本発明方法によると、図 4 A で模式的に示すように、分離用酸化シリコン層 2 上に成膜される半導体層 3 1 による多結晶シリコンシード 5 は、その粒径が小さく形成される。従って、この場合、半導体基板 2 1 の単結晶シリコン上にエピタキシャル成長されるエピタキシャル領域 S A における第 1 の半導体層 3 1 と酸化シリコン層上の多結晶半導体層 3 1 との境界部は平滑となり、この境界近傍における結晶性は良好となる。

これに比し、従来方法による場合図 4 B に示すように、多結晶シリコンシード 5 は、粒径が大となることから、多結晶領域 P A とエピタキシャル領域 S A との境界部に不連続部 6 が生じ、この境界近傍における結晶性が低下する。

#### 〔第 1 の半導体装置の製造方法〕

第 1 の本発明による半導体装置の製造方法においては、上述した本発明による気相成長方法及び半導体製造方法を適用して目的とする半導体装置を得る。

## 〔第 1 の半導体装置の製造方法の例〕

この例では、図 2 で示した H B T 装置を製造する場合である。  
図 2 において、図 1 と対応する部分には同一符号を付して重複説明を省略する。

5       この場合、図 1 で説明した本発明方法によって成膜した積層半導体層 3 に対して、フォトリソグラフィを用いた R I E 等のパターンニングを行って最終的に形成する H B T のベース領域とその電極取出し部とを構成するベース半導体層を構成する。

10       そして、全面的に例えば C V D 法によって酸化シリコン層による絶縁層 7 を形成し、熱処理を行って緻密化し、その後、フォトリソグラフィを用いたパターンニングによって所要パターンとし、同時に半導体層 3 の、エミッタ形成部に、開口部 7 W を形成する。

15       そして、この開口部 7 W を通じて例えば N 型の不純物のりん ( P ) を例えばイオン注入して、ベース不純物のコレクタ側への不純物を相殺する S I C ( S e l e c t i v e l y   l o n   i m p l a n t e d   C o l l e c t o r ) 領域 8 を形成してベース不純物の拡散によるベース幅の拡大を回避し、ベース幅の縮小化を図る。

20       続いて、開口部 7 W を通じて、全面的に N 型の多結晶シリコン半導体層を、C V D 法によって成膜し、フォトリソグラフィを用いたパターンニングによって、開口部 7 W とその周辺にエミッタ半導体層 9 を形成する。この半導体層 9 には、例えばヒ素 ( A s ) をイオン注入して高濃度の N 型のエミッタ半導体層とする。

25       その後、熱処理を行って半導体層 3 にエミッタ半導体層 9 からの A s の拡散によってエミッタ領域 1 4 を形成し、かつ各不純物の活性化を行う。

また、エミッタ半導体層 9 を覆って全面的に例えば T E O S に

よるCVDによって絶縁層10を形成し、エミッタ半導体層9、半導体層3のベース電極取出し領域となる多結晶領域上、コレクタ電極取出し領域4Cの各部上の絶縁層10、7、2等を貫通してそれぞれ開口部を形成し、これら開口部内に例えばタングステン(W)等による導電性プラグ40を充填し、平坦化絶縁層10上に、例えばA1合金による導電層を全面的に形成し、フォトリソグラフィを用いたパターンニングによって、各導電性プラグ40に連結するエミッタ、ベース及びコレクタ各電極配線41E、41B及び41Cを形成する。

このようにして、目的とするHBTによる半導体装置を得る。

図5は、このNPN型のHBTの、 $N^+$ エミッタ層9側から深さ方向に関する不純物濃度分布の一例を示したものであり、右側縦軸がGe濃度を示し、左側縦軸に各不純物のAs、B、P、Sb濃度を示している。

図6は、図14で説明した従来方法による場合と、上述した本発明方法による場合とのSiGe混晶エピタキシャル成長のミスフィット転位の発生状況を○印をもってプロットしたものであり、耐圧歩留りを■印をもってプロットしたものである。

図6から明らかなように、第1のステップでシリコン原料ガスのガス分圧を一定の変化率で増加させてシリコンバッファ層を成膜する本発明方法によれば、ミスフィット転位の発生が、顕著に減少し、耐圧歩留りが顕著に改善されることが分かる。

#### 〔第2の気相成長方法及び半導体製造方法〕

次に、本発明による第2の気相成長方法と、この気相成長方法を半導体層の気相成長工程に適する第2の本発明による半導体の製造方法を説明する。

この場合においても、単結晶シリコン基板表面が露出している活性領域にシリコン-ゲルマニウムのエピタキシャル混晶層を形

成し、同時にその単結晶シリコン基板上に形成した分離用酸化シリコン層及び酸化シリコン層上に多結晶シリコンーゲルマニウム層を形成する。

そして、この場合においても、第1の半導体層31を成膜する第1のステップと、第2の半導体層32を成膜する第2のステップと、第3の半導体層33を成膜する第3のステップとを有する。

そして、この方法においては、第1のステップで、シリコンとゲルマニウムの原料ガスを反応炉内に導入して、単結晶シリコン基板表面が露出している活性領域にシリコンーゲルマニウムのエピタキシャル層を形成すると同時に、分離用酸化シリコン層上に多結晶シリコンーゲルマニウム層による第1の半導体層31を成膜する。

第2のステップは、シリコン原料ガスとゲルマニウム原料ガスを反応炉内に導入して、活性領域に対する直接的成膜部分においてシリコンーゲルマニウムのエピタキシャル層を形成すると同時に、分離用酸化シリコン層上の多結晶シリコン上に多結晶シリコンーゲルマニウム層を形成することによって第2の半導体層32を成膜する。

第3のステップは、シリコン原料ガスのみを反応炉内に導入して第2の半導体層32のシリコンーゲルマニウムのエピタキシャル層上に対してエピタキシャル層を形成し、同時に、分離用酸化シリコン層上の多結晶シリコンーゲルマニウム層の上に多結晶シリコン層を形成する第3の半導体層33を成膜する。

そして、上述した第1のステップの第1の半導体層31の成膜において、酸化シリコンと同じ熱膨張係数となるゲルマニウム濃度とした多結晶シリコンーゲルマニウム層のエピタキシャル層を形成するものである。

この第1のステップにおいて成膜された第1の半導体層のエピタキシャル層中のゲルマニウム濃度の範囲は、 $7 \pm 2 \text{ atom} \%$ とするものであり、このゲルマニウム濃度は、エピタキシャル層の厚さ方向に一定とされる。

5       また、この第1のステップにおいて成膜された第1の半導体層31のエピタキシャル層の膜厚は、5 nmから30 nmまでの範囲とすることが、結晶性にすぐれた半導体層を形成する上で望まれる。

10       また、この場合においても、シリコン原料ガスは、モノシランガスを用いることができ、ゲルマニウム原料ガスは、ゲルマンガスを用いることができる。

      また、このSiGe混晶層を有する積層半導体層3の形成は、 $600^\circ\text{C} \sim 750^\circ\text{C}$ の範囲の温度で行う。

15       そして、第2及び第3のステップでは、P型あるいはN型の不純物を導入する。

      〔第2の気相成長方法及び半導体製造方法の例〕

20       この場合においても、例えば上述した有機物、パーティクルの除去及び自然酸化膜の除去等の処理がなされた半導体基板1を、真空排気機能を有するロードロックに搬入し、所定時間に渡って真空排気を行う。続いて、ロードロックに接続されている反応炉に半導体基板を、大気に曝すことなく搬入する。

      この反応炉に水素ガスを導入しながら、約 $900^\circ\text{C}$ まで加熱して、約5分間の水素ベークを行う。

25       その後、反応炉に水素ガスを導入したままで、図7Aに成膜手順のタイムチャートを示すように、例えば約 $710^\circ\text{C}$ 、あるいは $680^\circ\text{C}$ まで降温し、第1のステップにおいて、SiGeバッファ層を形成する。

      この第1のステップとして、反応炉内の温度を約 $710^\circ\text{C}$ にし

て、反応炉内の圧力を約 10, 666 Pa (80 Torr)、水素ガスを 20 SLM の一定の状態のまま、モノシランガス 20 sccm と、ゲルマンガスとを供給して第 1 の半導体層 31 の SiGe バッファ層を成膜する。このとき、この成膜に当たり、この成膜半導体層 31 中の Ge 濃度が 7.75 atom% となり、厚さ 15 nm となるまで導入する。

この第 1 のステップにおける反応炉内の温度は、次の第 2 のステップにおける温度例えば約 680℃ とすることもできる。

続いて、第 2 のステップとして、反応炉内の温度をこの 680℃ にして、モノシランとゲルマンガスを所望のゲルマニウム濃度、及び所望の膜厚となるようにガス流量を制御して反応炉内に供給して SiGe 層による第 2 の半導体層 32 を形成する。このとき、所望の不純物例えば P 型のボロン濃度のプロファイルとなるように例えばジボランガスをその流量を制御して反応炉内に供給する。

次に、第 3 のステップとして、反応炉内の温度を同様の約 680℃ に保持したままで、反応炉内にモノシラン及びジボランガスを供給してボロンドープのシリコン層による第 3 の半導体層 33 を所望の膜厚に成膜する。

このようにして、例えば図 1 で示す半導体層 3 を成膜する。

図 7B は、この方法によって成膜した半導体層 3 の深さ方向の Ge 濃度分布を示したものである。

上述した本発明方法によって成膜した第 1 ～第 3 の半導体層 31 ～33 による積層半導体層 3 は、そのバッファ層としての第 1 の半導体層 31 が SiGe 混晶とされるものであり、その Ge 濃度を 7.75% 付近とすることにより、酸化シリコン層 2 の開口部 2W 内と、その開口部 2W 外の開口部 2W 近傍の半導体層 3 に生じる応力を低減することができた。

これは、第1の半導体層31中のGe濃度を7.75atom%とすることにより、その熱膨張係数を、酸化シリコンのそれに殆ど一致させることができることにより、この熱膨張係数の差異に基く応力の発生が抑制される。

5           そして、これによってミスフィット転位の発生を抑制できる。

図8は、この本発明による第2の気相成長方法によって成膜した第1、第2及び第3の半導体層31、32及び33の積層半導体層3を示す断面図で、この図8で示す各点A～Hに関する応力のシミュレーション結果を、図9Aで示す。

10           また、図9Bは、図16Aでタイムチャート示し第1の半導体層31としてSi層を用い、かつ従来の方法によって形成され、その深さ方向のGe濃度分布が図16Bに示す分布を有する気相成長半導体層における、同様の各位置A～Hにおける応力のシミュレーション結果を示したものである。

15           これら図9A、Bにおいて、横軸は、ポイントAの始点からポイントHの終点までの距離( $\mu\text{m}$ )を示し、横軸は、直交する2方向の合成のずれ応力( $\text{N}/\mu\text{m}^2$ )を示す。また、ずれ応力のプラス、マイナスは、ずれ応力のベクトルの向きに相当する。

20           図9ABにおいて、活性領域が露出される上述の開口部2Wのエッジ近傍のポイントFとGの境界付近において、ずれ応力がプラスのピークをもつことが分かる。

25           従来方法では、図9Bに示すように、約 $6.5 \times 10^{-5}$  ( $\text{N}/\mu\text{m}^2$ )のずれの応力を示すのに対し、本発明による第1の半導体層31をSiGeバッファ層とした場合、図9Aで示すように、約 $5.8 \times 10^{-5}$  ( $\text{N}/\mu\text{m}^2$ )のずれの応力となって約11%の応力の低減化が図られていることが分かる。

          また、SiGe多結晶であるポイントB及びCにおいても、同様に、本発明方法による場合、ずれ応力の低減化がなされている

ことが分かる。

従って、本発明方法によれば、この応力の低減によって、この応力を発生要因とするミスフィットが改善されることが分かる。

また、図 10 は、第 2 の本発明方法による第 1 の半導体層 31 が SiGe 層とした積層半導体層 3 における深さ方向（横軸）に対する各不純物濃度と Ge 濃度の分布を示したものである。

図 10 においても、左側縦軸に各不純物濃度を示し、右側縦軸に Ge の濃度を示したものである。

図 10 に示す Ge のピークの右側にあるテラス部（図 10 中に  $\alpha$  を付して示している）が SiGe バッファ層（半導体層 31）である。

そして、図 11 は、図 1.6 で示した成膜方法をベース半導体層に適用した HBT におけるベース半導体層の深さ方向（縦軸）に対する各不純物濃度 Ge 濃度の分布を示したもので、図 11 においても同様に、左側縦軸に各不純物濃度を示し、右側縦軸に Ge の濃度を示す。

更に、上述した熱膨張係数について詳述する。

図 12 A, B 中、曲線 121 及び 122 は、それぞれ Ge 及び Si の各熱膨張係数の温度依存性を示したもので、図 12 A 中曲線 123 は、SiO<sub>2</sub>-ガラスの同様の熱膨張係数の温度依存性を示したものである。

また図 12 B の曲線 124 ~ 129 は、Ge の濃度を、それぞれ 0.25 atom%、1.875 atom%、5.75 atom%、7.75 atom%、10.775 atom%、14.4 atom% とした場合の同様の熱膨張係数の温度依存性を示したものである。

そして、従来方法による場合、図 5 で示すように、Si バッファ層を成膜した後、SiGe 層における Ge 濃度を、0 から 15



a t o m % へと急峻に立ち上げると、室内付近における熱膨張係数は、図 1 2 で分かるように、約  $+2.5 \times 10^{-6} (1/K)$  (Ge 濃度 = 0、すなわち Si の熱膨張係数) から例えば Ge 濃度 = 14.4 % における熱膨張係数の約  $-6.0 \times 10^{-6} (1/K)$  ) までマイナス方向に急峻に変化することになる。

特に、SiO<sub>2</sub> 上の多結晶 SiGe 層においては、SiO<sub>2</sub> の熱膨張係数が図 1 2 A の曲線 1 2 3 に示すように、ゼロ付近の値を持つため、SiO<sub>2</sub> と Si バッファ層との界面における熱膨張係数のプラス方向の急激な変化が加算されることになる。

これらの熱膨張係数の差異による応力が SiGe 混晶層形成後のミスフィット転位を誘発する要因となると考えられる。

しかしながら、Ge 濃度が 7.75 a t o m % では熱膨張係数がゼロに近い値となることが図 1 2 B から分かることから、本発明において、7.75 a t o m % の SiGe 層を第 1 の半導体層 3 1 のバッファ層として用いることにより、酸化シリコンと SiGe バッファ層 (第 1 の半導体層 3 1) との界面の熱膨張係数を小さくすることができ、また、エピタキシャル層においても、Ge 濃度がゼロから 7.75 a t o m % の SiGe バッファ層のステップをヘテロダイン 15 a t o m % に立ち上がるため、熱膨張係数の急峻な変化を緩和できる。

この結果、本発明によれば、従来方法に比し、ミスフィット転位を低減できることになるものである。

#### [第 2 の半導体装置の製造方法]

第 2 の本発明による半導体装置の製造方法においては、上述した本発明による第 2 の気相成長方法及び半導体製造方法を適用して目的とする半導体装置を得る。

#### [第 2 の半導体装置の製造方法の例]

この場合、例えば図 1 で示した半導体層 3 を、上述した第 2 の

本発明による気相成長方法を適用した半導体の製造方法によって形成した後、図2で前述した第1の半導体装置の製造方法例で説明したと同様の工程を採って目的とするHBTによる半導体装置を得る。

5        この本発明によるHBTは、そのベース半導体層が、上述した第2の本発明による気相成長方法及び半導体製造方法によったことから、ミスフィット転位が改善され、耐圧向上、歩留りの向上が図られる。

10        上述したように、本発明による各気相成長方法によれば、SiGe層を有する半導体層において、ミスフィット転位の発生を大幅に低減した気相成長を行うことができる。

      また、本発明による半導体製造方法によれば、ミスフィット転位の低減化が図られた良質な半導体の形成ができる。

15        また、本発明による半導体装置の製造方法によれば、この半導体装置を構成する半導体層、例えばHBTにおけるベース層におけるミスフィット転位の低減化、耐圧歩留りの向上を図ることができることから、量産性、コストの低減化が図られるものである。

。

## 請 求 の 範 囲

1. 半導体基板上に、シリコン-ゲルマニウム混晶層を堆積形成する気相成長方法にあって、

5 シリコン原料ガス分圧が時間に比例して増大するようにシリコン原料ガスを反応炉内に導入して減圧下で前記半導体基板上にシリコン層による第1の半導体層を形成する第1のステップと、

10 シリコン原料ガスとゲルマニウム原料ガスとを所望のゲルマニウム濃度となるように導入して減圧下で前記第1の半導体層上にシリコン-ゲルマニウム混晶層による第2の半導体層を形成する第2のステップと、

減圧下でシリコン原料ガスを導入して前記第2の半導体層上にシリコン層による第3の半導体層を形成する第3のステップとを有することを特徴とする気相成長方法。

15 2. 前記第1のステップの成膜開始時のシリコン原料ガス分圧を、1.  $3.3 \sim 8 \text{ Pa}$ の範囲内とすることを特徴とする請求の範囲第1項に記載の気相成長方法。

3. 前記第1のステップの成膜終了時のシリコン原料ガス分圧を、5.  $3.3 \sim 32 \text{ Pa}$ の範囲内とすることを特徴とする請求の範囲第1項に記載の気相成長方法。

20 4. 前記第1、第2及び第3の半導体層より成る積層半導体層を、前記半導体基板の単結晶シリコン基板表面に露出する活性領域上と、該活性領域を分離する分離用酸化シリコン層上とに差し渡って形成し、該積層半導体層を、前記単結晶シリコン基板表面に露出する活性領域上に形成された部分において単結晶半導体層として成膜し、前記分離用酸化シリコン層上に形成された部分において多結晶半導体層として成膜することを特徴とする請求の範囲

25 第1項に記載の気相成長方法。

5. 単結晶シリコン基板による半導体基板上に、前記単結晶シリ

コン基板表面に露出している活性領域上と、該活性領域を分離する分離用酸化シリコン層上とに渡ってシリコン-ゲルマニウム混晶層を有する半導体層を堆積形成する気相成長工程で、該半導体層を前記活性領域上においてはエピタキシャル層として、前記分離用酸化シリコン層上においては多結晶層として形成する気相成長方法にあって、

シリコン原料ガスとゲルマニウム原料ガスとを反応炉に導入して、シリコン-ゲルマニウム混晶膜による第1の半導体層を形成する第1のステップと、

シリコン原料ガスとゲルマニウム原料ガスとを反応炉に導入して、シリコン-ゲルマニウム混晶層による第2の半導体層を形成する第2のステップと、

シリコン原料ガスを反応炉に導入して、シリコン層による第3の半導体層を形成する第3のステップとを有し、

前記第1、第2、第3のステップによる積層半導体層を、前記単結晶シリコン基板表面に露出する活性領域上に形成された部分において単結晶半導体層として成膜し、前記分離用酸化シリコン層上に形成された部分において多結晶半導体層として成膜することを特徴とする気相成長方法。

6. 前記第1のステップにおいて成膜された前記第1の半導体層の前記エピタキシャル層中のゲルマニウム濃度の範囲が $7 \pm 2 \text{ at om\%}$ であり、

ゲルマニウム濃度が、エピタキシャル層の厚さ方向に一定であることを特徴とする請求の範囲第5項に記載の気相成長方法。

7. 前記第1のステップにおいて成膜された前記第1の半導体層の前記エピタキシャル層の膜厚が $5 \text{ nm}$ から $30 \text{ nm}$ までの範囲であることを特徴とする請求の範囲第5項に記載の気相成長方法。

。

8. シリコン原料ガスが、モノシランガスであることを特徴とする請求の範囲第1項又は第5項に記載の気相成長方法。

9. ゲルマニウム原料ガスが、ゲルマンガスであることを特徴とする請求の範囲第1項又は第5項に記載の気相成長方法。

5 10. 前記シリコン-ゲルマニウム混晶層を有する積層半導体層の形成を、600℃～750℃の範囲の温度で行うことを特徴とする請求の範囲第1項又は第5項に記載の気相成長方法。

11. 前記第2及び第3のステップでP型あるいはN型の不純物を導入することを特徴とする請求の範囲第1項又は第5項に記載  
10 の気相成長方法。

12. 単結晶シリコン基板による半導体基板上にシリコン-ゲルマニウム混晶層を堆積形成する気相成長工程を有する半導体製造方法にあって、

前記気相成長工程が、

15 シリコン原料ガス分圧が時間に比例して増大するようにシリコン原料ガスを反応炉内に導入して減圧下で前記半導体基板上にシリコン層による第1の半導体層を形成する第1のステップと、

シリコン原料ガスとゲルマニウム原料ガスとを所望のゲルマニウム濃度となるように導入して減圧下で前記第1の半導体層上に  
20 シリコン-ゲルマニウム混晶層による第2の半導体層を形成する第2のステップと、

減圧下でシリコン原料ガスを導入して前記第2の半導体層上にシリコン層による第3の半導体層を形成する第3のステップとを有することを特徴とする半導体製造方法。

25 13. 前記第1のステップの成膜開始時のシリコン原料ガス分圧を、1.33～8Paの範囲内とすることを特徴とする請求の範囲第12項に記載の半導体製造方法。

14. 前記第1のステップの成膜終了時のシリコン原料ガス分圧

を、 $5 \times 10^{-3} \sim 3.2 \times 10^{-2}$  Pa の範囲内とすることを特徴とする請求の範囲第 12 項に記載の半導体製造方法。

15 15. 前記第 1、第 2 及び第 3 の半導体層より成る積層半導体層を、前記半導体基板の単結晶シリコン基板表面に露出する活性領域上と、該活性領域を分離する分離用酸化シリコン層上とに差し渡って形成し、該積層半導体層を、前記単結晶シリコン基板表面に露出する活性領域上に形成された部分において単結晶半導体層として成膜し、前記分離用酸化シリコン層上に形成された部分において多結晶半導体層として成膜することを特徴とする請求の範囲第 12 項に記載の半導体製造方法。

10 16. 単結晶シリコン基板による半導体基板上に、前記単結晶シリコン基板表面に露出している活性領域上と、該活性領域を分離する分離用酸化シリコン層上とに差し渡ってシリコン-ゲルマニウム混晶層を有する半導体層を堆積形成し、該半導体層を前記活性領域上においてはエピタキシャル層として、前記分離用酸化シリコン層上においては多結晶層として形成する気相成長工程を有する半導体製造方法であって、

前記気相成長工程が、

20 シリコン原料ガスとゲルマニウム原料ガスとを反応炉に導入して、シリコン-ゲルマニウム混晶膜による第 1 の半導体層を形成する第 1 のステップと、

シリコン原料ガスとゲルマニウム原料ガスとを反応炉に導入して、シリコン-ゲルマニウム混晶層による第 2 の半導体層を形成する第 2 のステップと、

25 シリコン原料ガスを反応炉に導入して、シリコン層による第 3 の半導体層を形成する第 3 のステップとを有し、

前記第 1、第 2、第 3 のステップによる積層半導体層を、前記単結晶シリコン基板表面に露出する活性領域上に形成された部分

において単結晶半導体層として成膜し、前記分離用酸化シリコン層上に形成された部分において多結晶半導体層として成膜することを特徴とする半導体製造方法。

5 17. 前記第1のステップにおいて成膜された前記第1の半導体層の前記エピタキシャル層中のゲルマニウム濃度の範囲が $7 \pm 2$  atom%であり、

ゲルマニウム濃度が、エピタキシャル層の厚さ方向に一定であることを特徴とする請求の範囲第16項に記載の半導体製造方法。

10 18. 前記第1のステップにおいて成膜された前記第1の半導体層の前記エピタキシャル層の膜厚が5 nmから30 nmまでの範囲であることを特徴とする請求の範囲第16項に記載の半導体製造方法。

15 19. シリコン原料ガスが、モノシランガスであることを特徴とする請求の範囲第12項又は第16項に記載の半導体製造方法。

20 20. ゲルマニウム原料ガスが、ゲルマンガスであることを特徴とする請求の範囲第12項又は第16項に記載の半導体製造方法。

21. 前記シリコン-ゲルマニウム混晶層を有する積層半導体層の形成を、 $600^{\circ}\text{C} \sim 750^{\circ}\text{C}$ の範囲の温度で行うことを特徴とする請求の範囲第12項又は第16項に記載の半導体製造方法。

22. 前記第2及び第3のステップでP型あるいはN型の不純物を導入することを特徴とする請求の範囲第12項又は第16項に記載の半導体製造方法。

25 23. 半導体基板上のベース領域としてシリコン-ゲルマニウム混晶層を堆積形成する気相成長工程を有する半導体装置の製造方法にあって、

前記気相成長工程が、

シリコン原料ガス分圧が時間に比例して増大するようにシリコン原料ガスを反応炉内に導入して減圧下で前記半導体基板上にシリコン層による第 1 の半導体層を形成する第 1 のステップと、

5       シリコン原料ガスとゲルマニウム原料ガスとを所望のゲルマニウム濃度となるように導入して減圧下で前記第 1 の半導体層上にシリコン-ゲルマニウム混晶層による第 2 の半導体層を形成する第 2 のステップと、

10       減圧下でシリコン原料ガスを導入して前記第 2 の半導体層上にシリコン層による第 3 の半導体層を形成する第 3 のステップとを有することを特徴とする半導体装置の製造方法。

24. 前記第 1 のステップの成膜開始時のシリコン原料ガス分圧を、 $1.33 \sim 8 \text{ Pa}$  の範囲内とすることを特徴とする請求の範囲第 23 項に記載の半導体装置の製造方法。

15       25. 前記第 1 のステップの成膜終了時のシリコン原料ガス分圧を、 $5.33 \sim 32 \text{ Pa}$  の範囲内とすることを特徴とする請求の範囲第 23 項に記載の半導体装置の製造方法。

20       26. 前記第 1、第 2 及び第 3 の半導体層より成る積層半導体層を、前記半導体基板の単結晶シリコン基板表面に露出する活性領域上と、該活性領域を分離する分離用酸化シリコン層上とに差し渡って形成し、該積層半導体層を、前記単結晶シリコン基板表面に露出する活性領域上に形成された部分において単結晶半導体層として成膜し、前記分離用酸化シリコン層上に形成された部分において多結晶半導体層として成膜することを特徴とする請求の範囲第 23 項に記載の半導体装置の製造方法。

25       27. 単結晶シリコン基板による半導体基板上に、前記単結晶シリコン基板表面に露出している活性領域上と、該活性領域を分離する分離用酸化シリコン層上とに渡ってシリコン-ゲルマニウム混晶層を有する半導体層を堆積形成し、該半導体層を前記活性領



域上においてはエピタキシャル層として、前記分離用酸化シリコン層上においては多結晶層として形成する気相成長工程を有する半導体装置の製造方法にあって、

前記気相成長工程が、

5       シリコン原料ガスとゲルマニウム原料ガスとを反応炉に導入して、シリコン-ゲルマニウム混晶膜による第1の半導体層を形成する第1のステップと、

10       シリコン原料ガスとゲルマニウム原料ガスとを反応炉に導入して、シリコン-ゲルマニウム混晶層による第2の半導体層を形成する第2のステップと、

      シリコン原料ガスを反応炉に導入して、シリコン層による第3の半導体層を形成する第3のステップとを有し、

15       前記第1、第2、第3のステップによる積層半導体層を、前記単結晶シリコン基板表面に露出する活性領域上に形成された部分において単結晶半導体層として成膜し、前記分離用酸化シリコン層上に形成された部分において多結晶半導体層として成膜することを特徴とする半導体装置の製造方法。

20       28. 前記第1のステップにおいて成膜された前記第1の半導体層の前記エピタキシャル層中のゲルマニウム濃度の範囲が $7 \pm 2$  atom%であり、

      ゲルマニウム濃度が、エピタキシャル層の厚さ方向に一定であることを特徴とする請求の範囲第27項に記載の半導体装置の製造方法。

25       29. 前記第1のステップにおいて成膜された前記第1の半導体層の前記エピタキシャル層の膜厚が5 nmから30 nmまでの範囲であることを特徴とする請求の範囲第27項に記載の半導体装置の製造方法。

      30. シリコン原料ガスが、モノシランガスであることを特徴と

する請求の範囲第 2 3 項又は第 2 7 項に記載の半導体製造方法。

3 1. ゲルマニウム原料ガスが、ゲルマンガスであることを特徴とする請求の範囲第 2 3 項又は第 2 7 項に記載の半導体装置の製造方法。

5

3 2. 前記シリコン-ゲルマニウム混晶層を有する積層半導体層の形成を、600℃～750℃の範囲の温度で行うことを特徴とする請求の範囲第 2 3 項又は第 2 7 項に記載の半導体装置の製造方法。

10

3 3. 前記第 2 及び第 3 のステップで P 型あるいは N 型の不純物を導入することを特徴とする請求の範囲第 2 3 項又は第 2 7 項に記載の半導体装置の製造方法。

15

20

25





FIG. 5

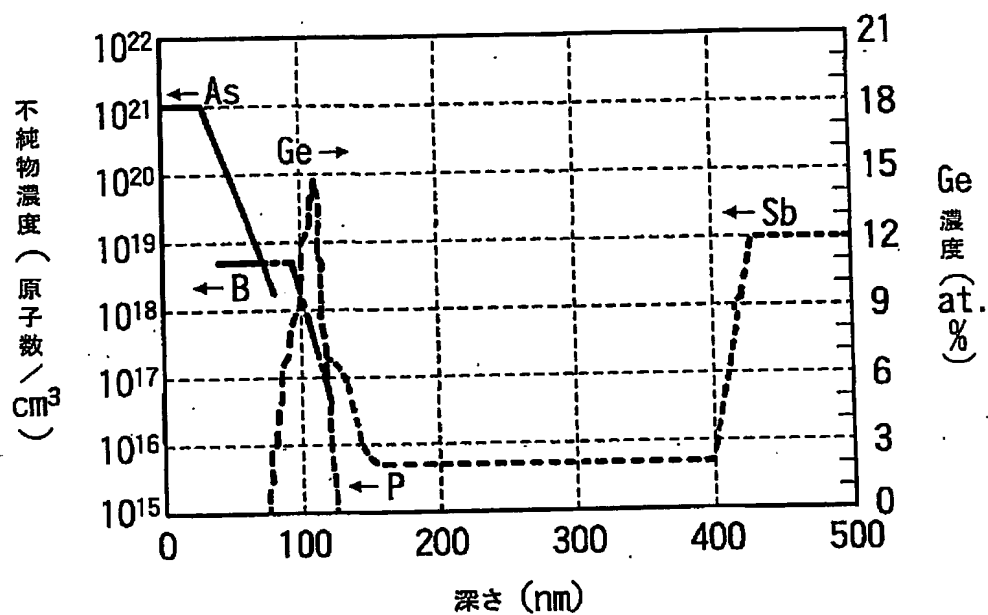
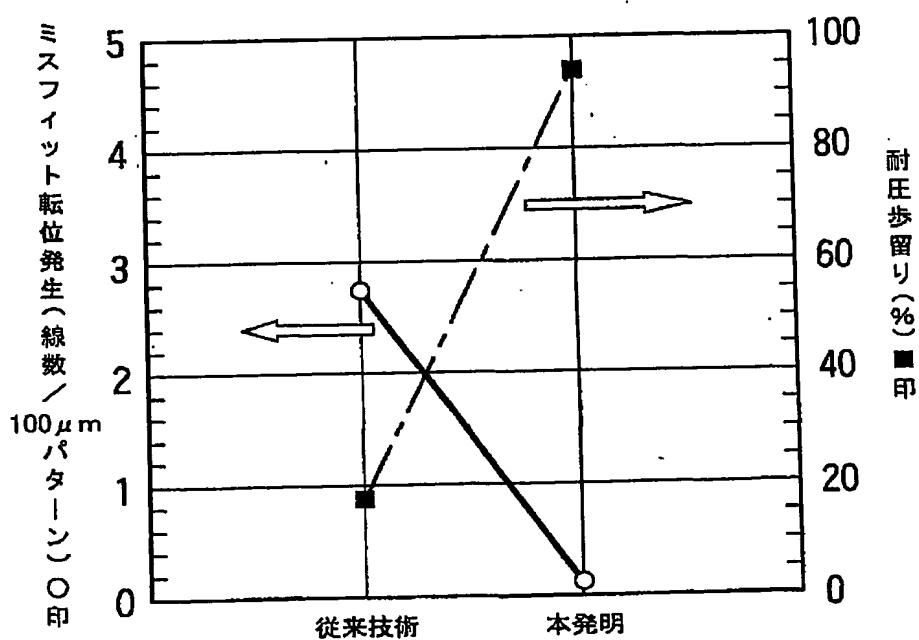
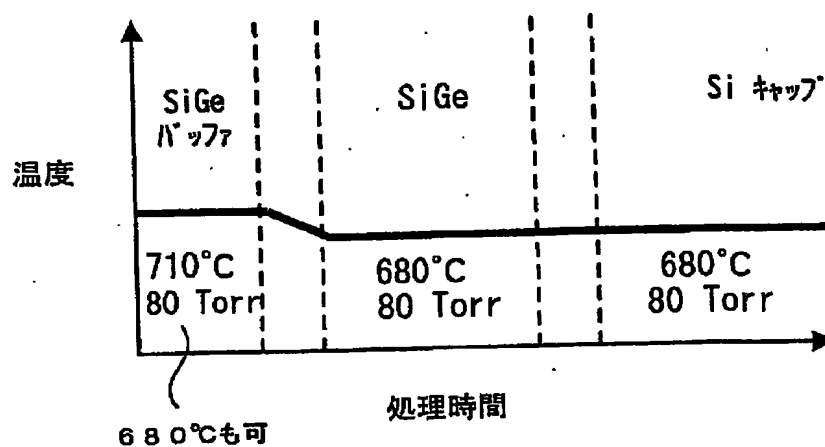
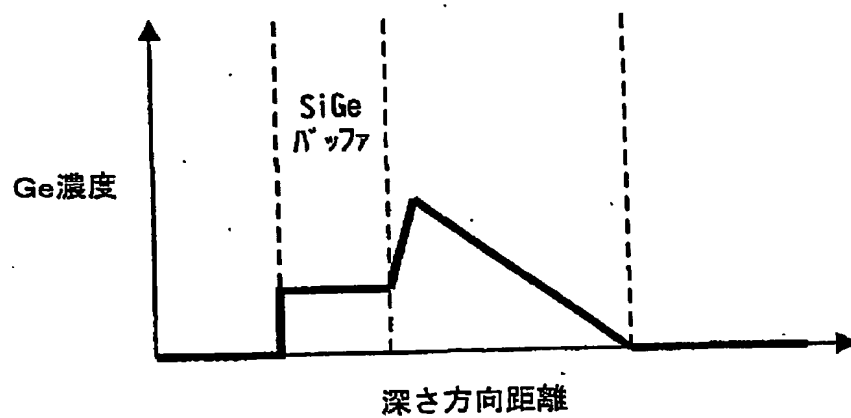
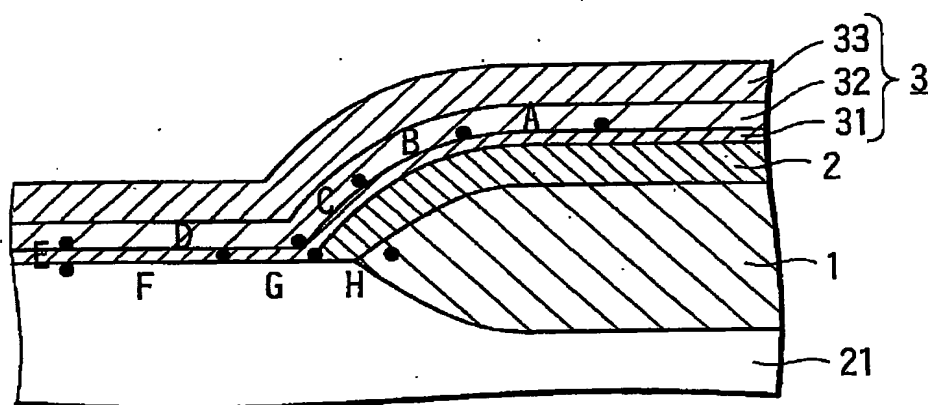


FIG. 6



**FIG. 7A****FIG. 7B**

**FIG. 8**



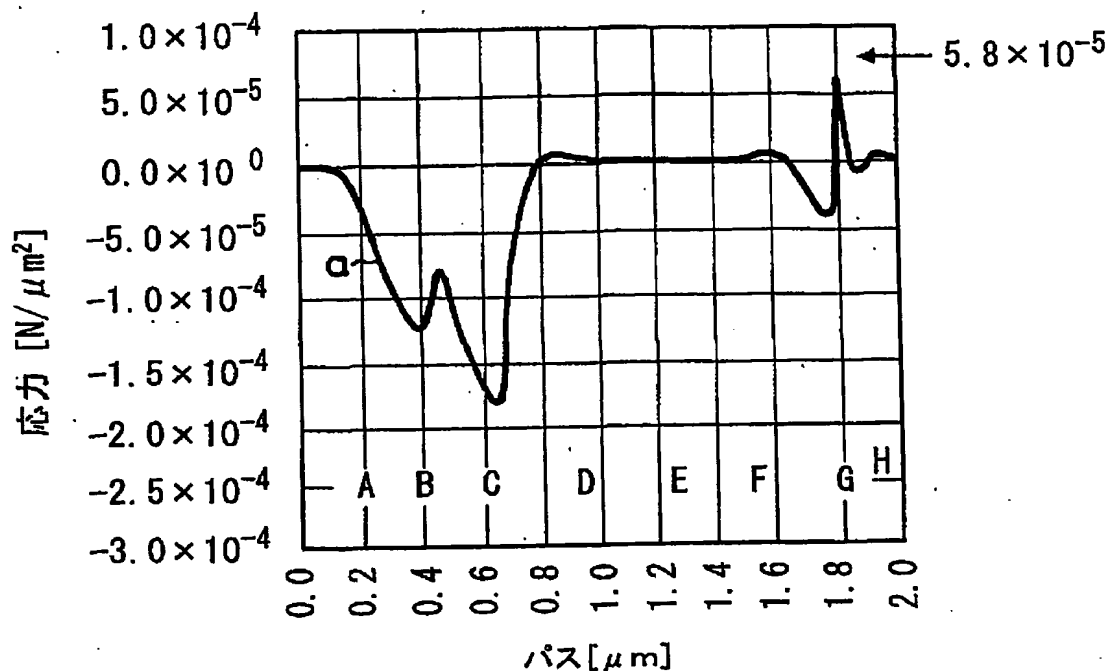
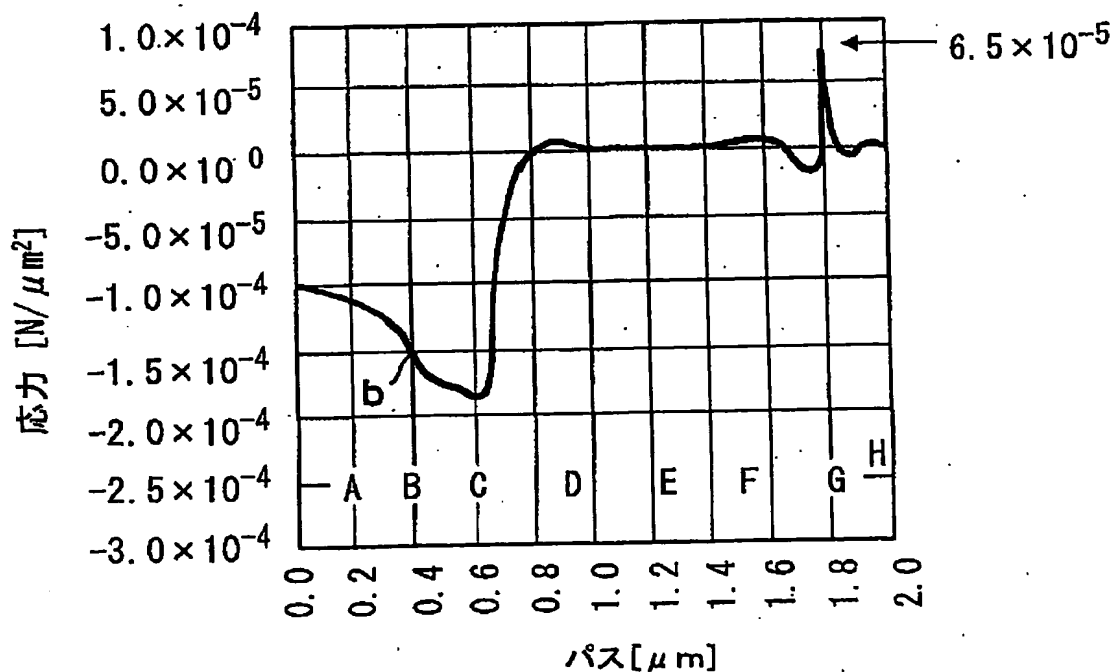
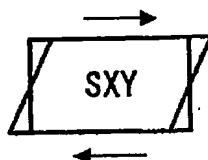
**FIG. 9A****FIG. 9B**



FIG. 10

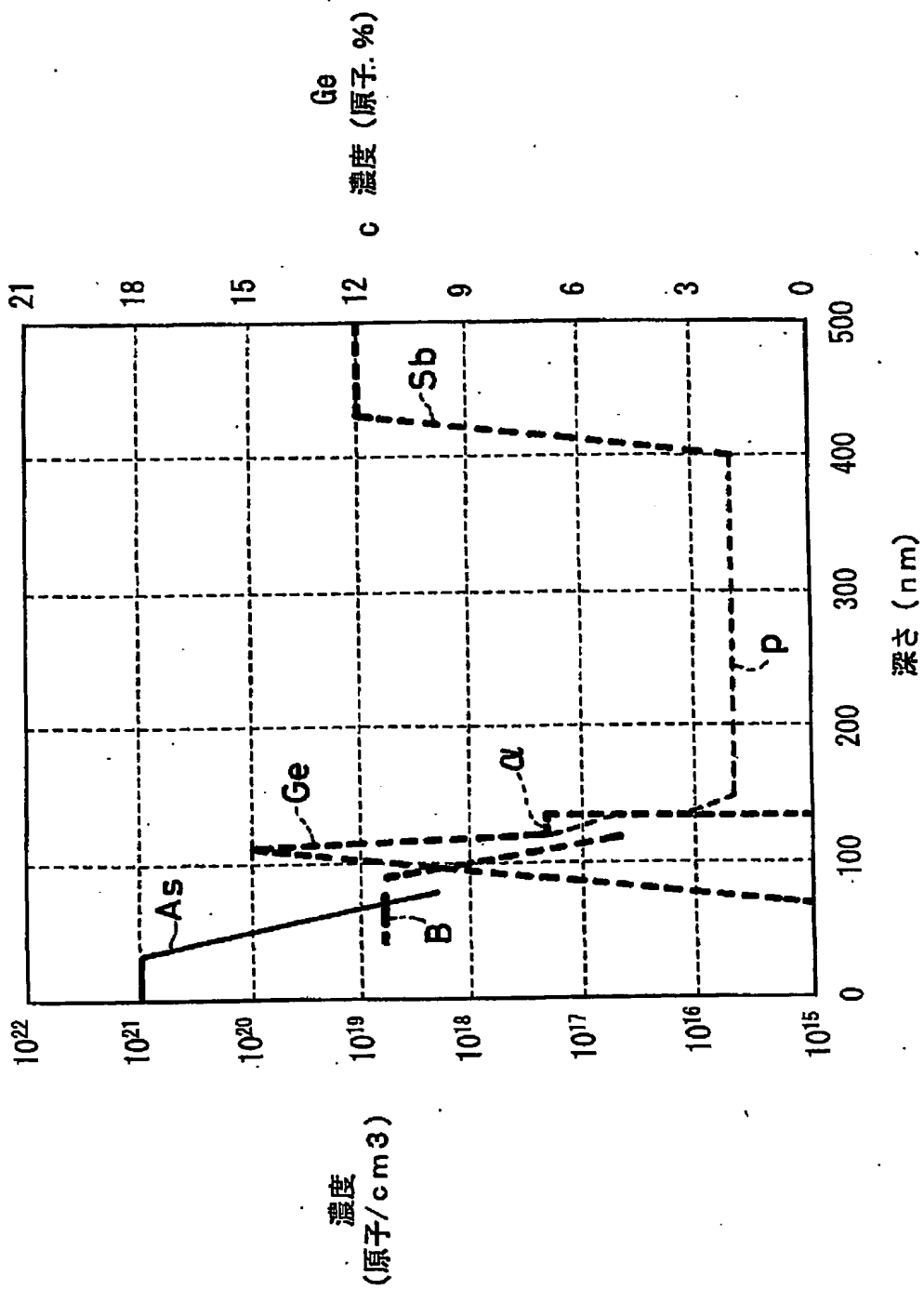
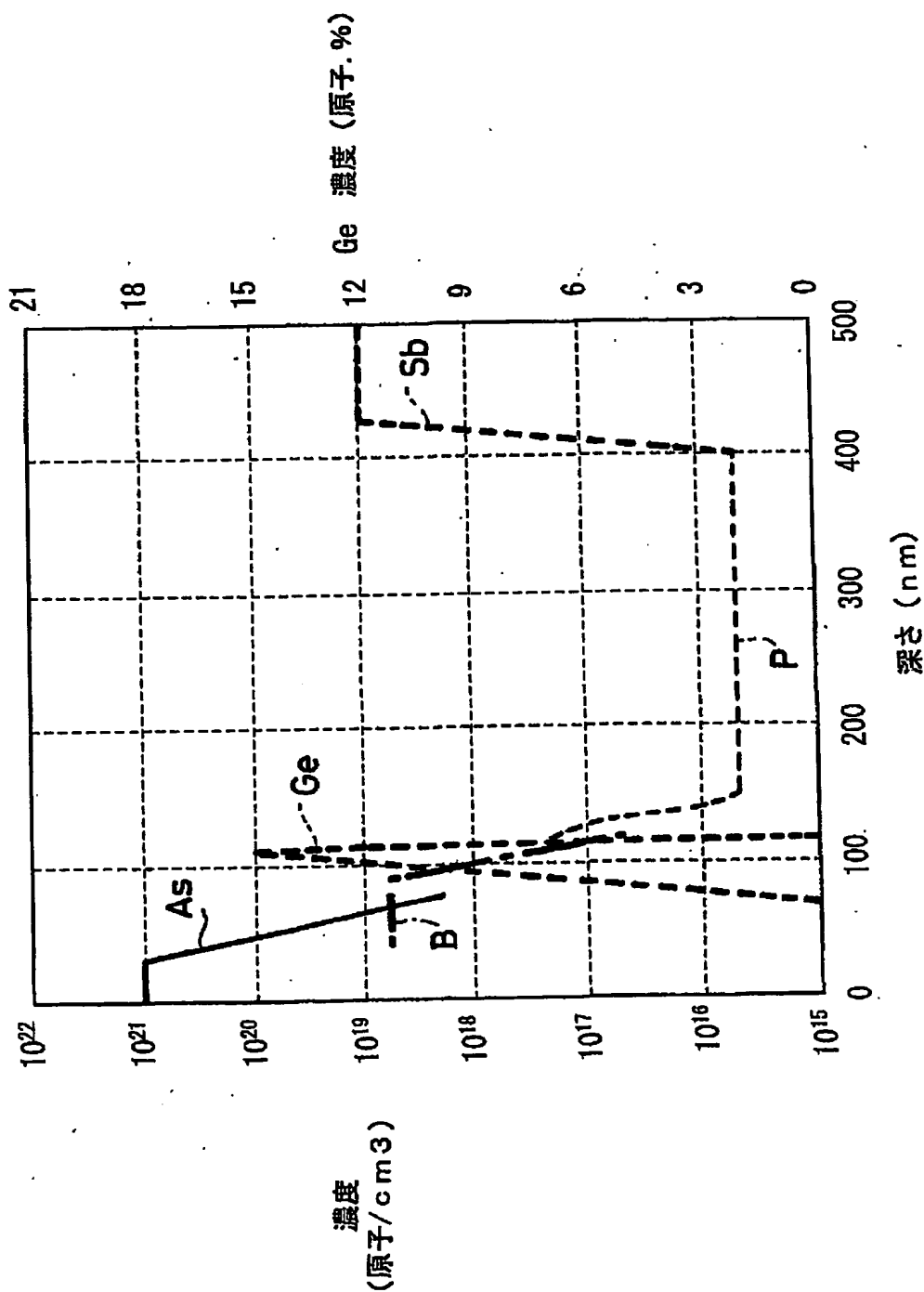


FIG. 11



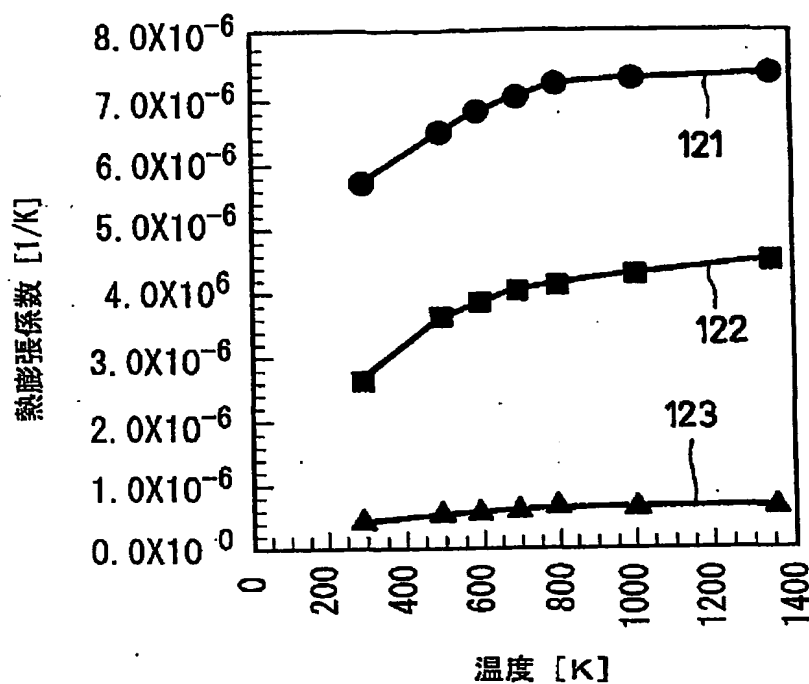
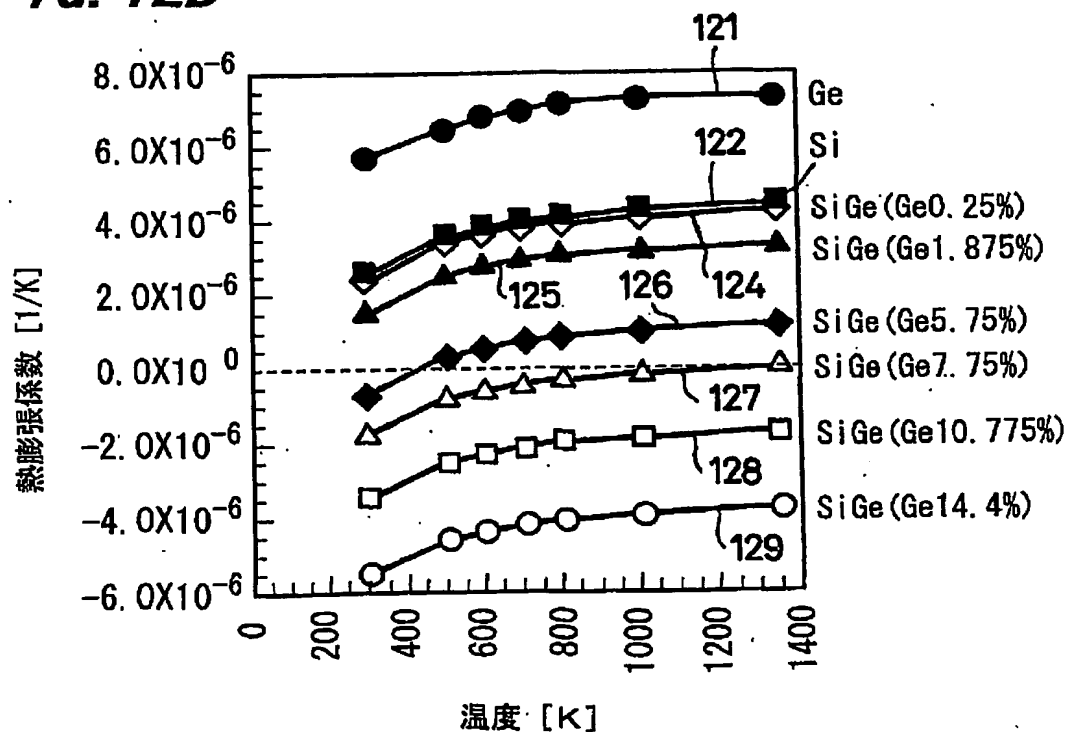
**FIG. 12A****FIG. 12B**

FIG. 13

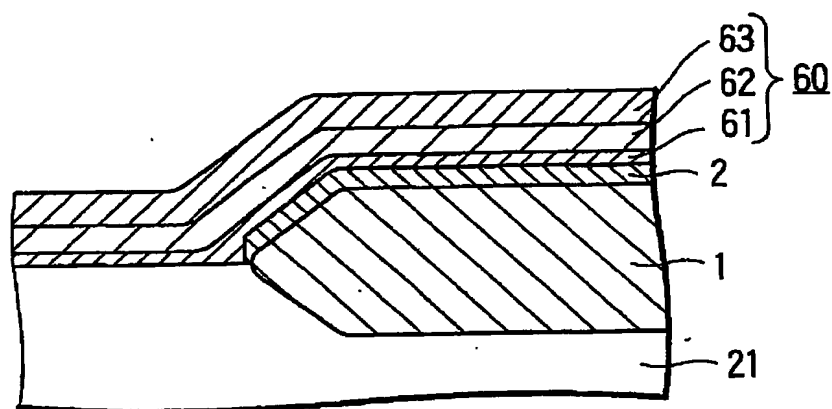


FIG. 14A

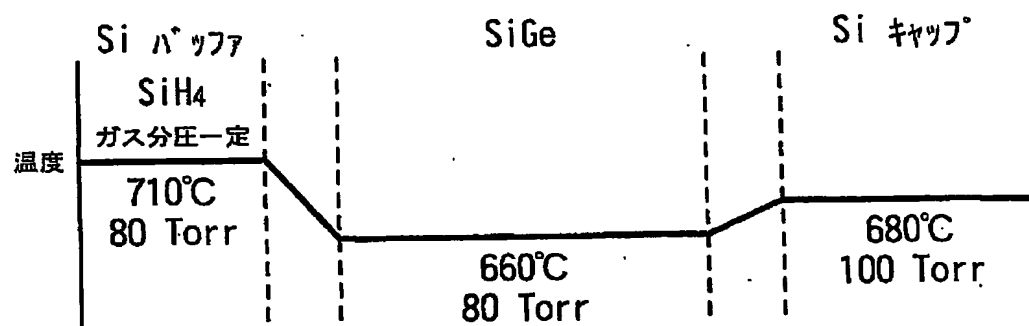


FIG. 14B

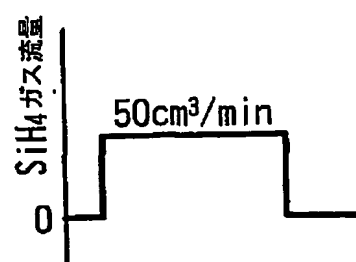
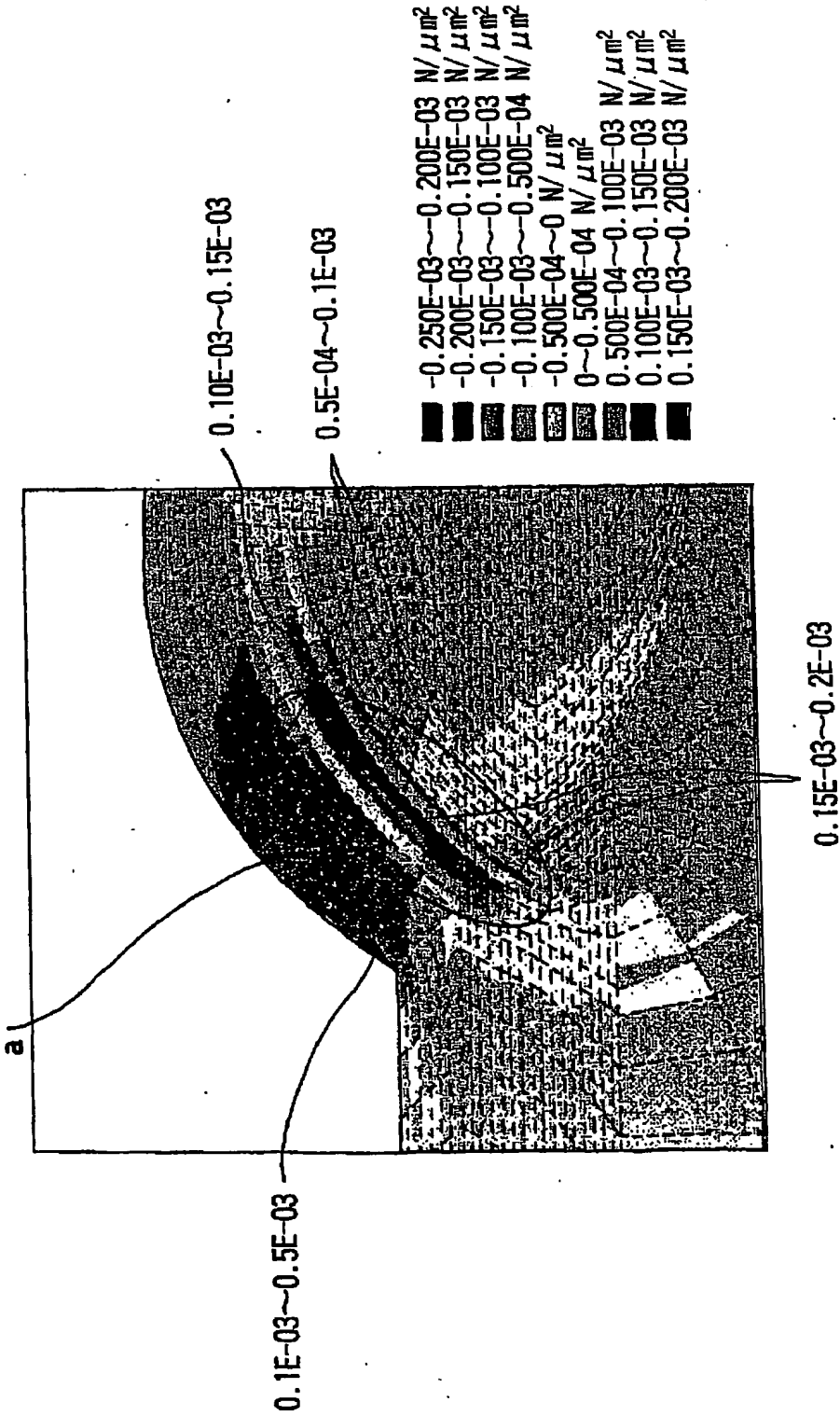
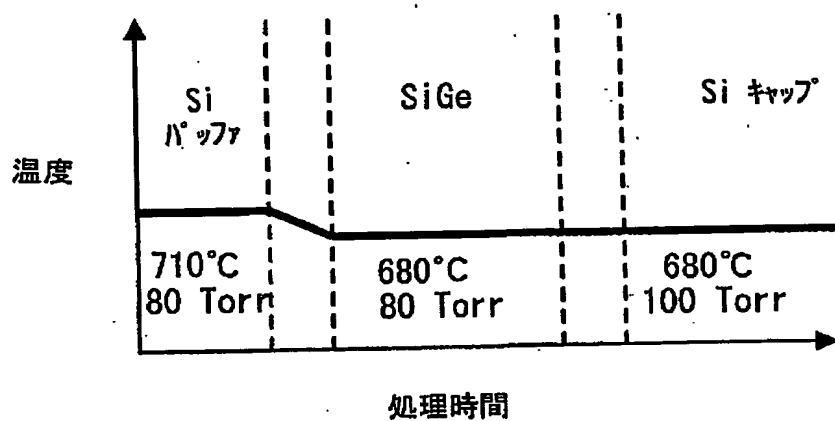
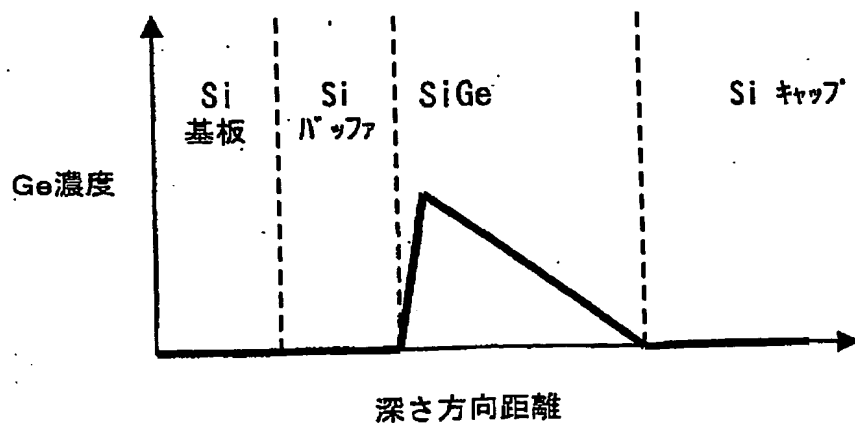


FIG. 15



**FIG. 16A****FIG. 16B**

## 参 照 符 号 ・ 事 項 の 一 覧 表

参照符号	事項
1	分離用酸化シリコ層
2	堆積酸化シリコン層
3, 6 0	半導体層
3 1, 6 1	第 1 の半導体層
3 2, 6 2	第 2 の半導体層
3 3, 6 3	第 3 の半導体層
4	コレクタ動作領域
4 C	コレクタ電極取出し領域
5	シード
6	不連続部
7	絶縁層
7 W	開口
8	S I C 領域
9	エミッタ半導体層
1 0	絶縁層
1 1	サブストレイト
1 2	エピタキシャル半導体層
1 3	コレクタ埋込み領域
1 4	エミッタ領域
2 1	半導体基板

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/11203

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H01L21/205, 21/331, 29/73

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01L21/205, 21/331, 29/73

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Jitsuyo Shinan Toroku Koho	1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, X	JP, 2001-319935, A (Mitsubishi Material Silicon K.K.), 16 November, 2001 (16.11.01), Par. Nos. [0026], [0010] to [0031]; Figs. 1 to 3	<u>5, 8-11, 16,</u> <u>9-22, 27, 30-33</u>
P, A	Par. Nos. [0026], [0010] to [0031]; Figs. 1 to 3 (Family: none)	6-7, 17-18, 28-29
A	EP, 0484056, A1 (Fujitsu Ltd.), 24 October, 1991 (24.10.91), Page 3, line 17 to page 4, line 26; Figs. 1 to 3 & JP 4-162431 A	1-4, 12-15, 23-26
E, A	JP, 2002-26027, A (Toshiba Corp.), 25 January, 2002 (25.01.02), Par. Nos. [0011] to [0018]; Figs. 1 to 8 (Family: none)	1-4, 12-15, 23-26

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

"A" Special categories of cited documents: document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"B" earlier document but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
01 April, 2002 (01.04.02)

Date of mailing of the international search report  
09 April, 2002 (09.04.02)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/11203

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 4-106980, A (Fujitsu Ltd.), 08 April, 1992 (08.04.92), Official Gazette, page 2, lower right column, line 11 to page 4, lower left column, line 10; Fig. 1 (Family: none)	5-7, 16-18, 27-29

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H01L21/205, 21/331, 29/73

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H01L21/205, 21/331, 29/73

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2002年  
 日本国登録実用新案公報 1994-2002年  
 日本国実用新案登録公報 1996-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
P, X	JP 2001-319935 A (三菱マテリアルシリコン株式会社), 2001. 11. 16 段落番号【0026】, 【0010】 - 【0031】, 図1-3	5, 8-11, 16, 19-22, 27, 30-33
P, A	段落番号【0026】, 【0010】 - 【0031】, 図1-3 (ファミリーなし)	6-7, 17-18, 28-29

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」 口頭による開示、使用、展示等に言及する文献  
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」 同一パテントファミリー文献

国際調査を完了した日

01.04.02

国際調査報告の発送日

09.04.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)  
藤原 敏士

4R

2929

電話番号 03-3581-1101 内線 3469

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	EP 0484056 A1 (FUJITSU LIMITED) 1991. 10. 24, 第3頁第17行-第4頁第26行, 第1-3図 & JP 4-162431 A	1-4, 12-15, 23-26
E, A	JP 2002-26027 A (株式会社東芝) 2002. 01. 25 段落番号【0011】-【0018】, 図1-8 (ファミリーなし)	1-4, 12-15, 23-26
A	JP 4-106980 A (富士通株式会社) 1992. 04. 08, 公報第2頁右下欄第11行-第4頁左下欄 第10行, 第1図 (ファミリーなし)	5-7, 16-18, 27-29

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ ~~FADED~~ TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**